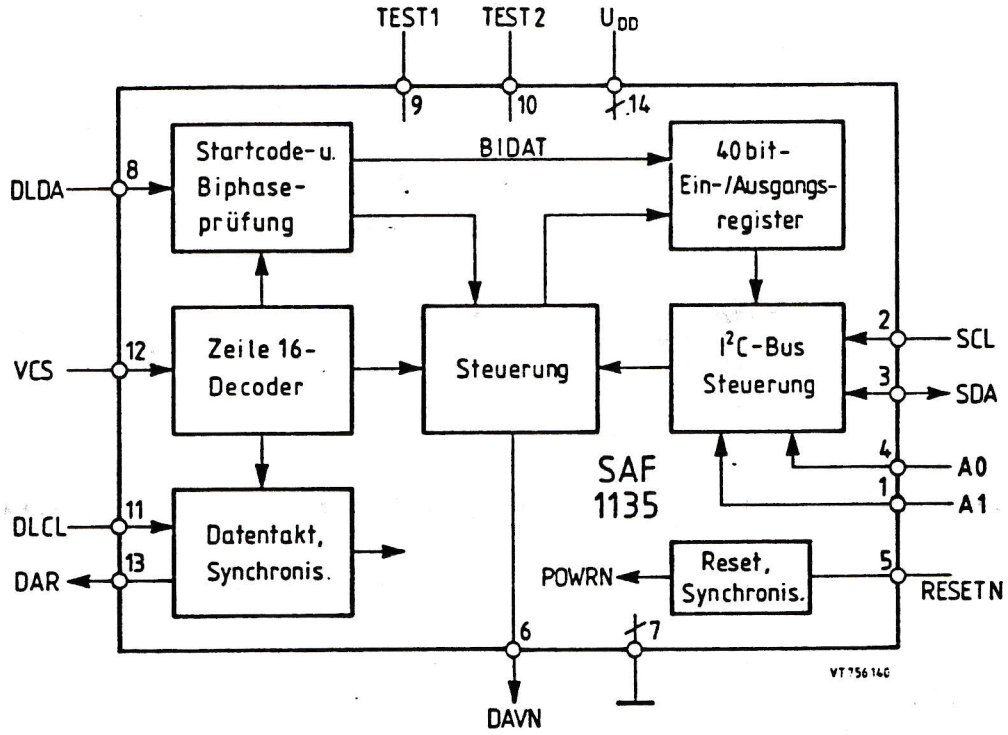
SAF 1135

Integrierte CMOS-Schaltung
DATENZEILEN - DECODER
mit serieller I^2C-Bus Schnittstelle

Verarbeitung der vom Datenzeilen-Prozessor SAA 5235 bereitgestellten VPS-Daten zur Steuerung von Videorecordern und Fernsehgeräten.



Besonderheiten

- Selektion der Zeile 16 aus dem Fernsehsignal
- Startcode-Prüfung
- Biphase-Prüfung
- getrennte Daten-Ein-/Ausgangsregister (2 x 40 bit) für Wörter 5 und 11...14
- serielle I^2C-Busschnittstelle
- Gehäuse mit 14 Anschlüssen

Kurzdaten			
Speisespannung	U_{DD} =	5	V
Speisestrom	I_{DD} =	typ 1	mA
Datenrate	R_{DLDA} =	2,5	MBit/s
Eingangsfrequenz	f_{DLCL} =	5	MHz

VALVO

SAF 1135

Funktionsbeschreibung

Die Schaltung SAF 1135 decodiert die VPS-Informationen, die in Zeile 16 des 1. Halbbildes im Fernsehsignal von ARD und ZDF übertragen werden. Art und Umfang eines VPS sind in der VPS-Spezifikation VPS 100 des Instituts für Rundfunktechnik, München ausführlich beschrieben.
Jede Datenzeile, Zeile 16, besteht aus 15 Bytes (entspr. 120 bit), davon 13 sogenannte Nutzwörter sind. Für VPS sind jedoch nur die Wörter 5, 11, 12, 13 und 14 relevant. Enthaltene Daten sind biphase-codiert und werden mit einer Datenrate von 2,5 Mbit/s übertragen.
Durch Auswerten der Sync-Impulsfolge VCS wird der Beginn der Zeile 16 gefunden. Sobald der Startcode erkannt wird, werden die Wörter 11, 12, 13, 14 und 5 decodiert und auf Biphase-Fehler untersucht. Solange kein Fehler auftritt, werden die einlaufenden Daten in das 40 bit-Eingangsregister geladen. Nach fehlerfreiem Empfang aller fünf Wörter werden diese in das Ausgangsregister übernommen, das über den I^2C-Bus gelesen werden kann. Diese Übernahme wird gegebenenfalls solange verzögert, bis eine gerade laufende Abfrage über den I^2C-Bus durch eine Stoppbedingung beendet ist.
Die Datenübertragung der Schaltung ist völlig transparent, das heißt, der Inhalt der empfangenen Datenworte wird nicht modifiziert.

Eine fehlerfrei empfangene VPS-Information bleibt solange im Ausgangsregister erhalten, bis sie über den I^2C-Bus gelesen wird. Wird nochmals gelesen, ohne daß weitere gültige VPS-Daten empfangen wurden, so werden alle Bits in jedem Wort auf 1 gesetzt. Das geschieht ebenso nach Anlegen eines Resetsignals. Neue Daten stehen erst nach Auswertung einer gültigen Datenzeile zur Verfügung.

Reset-Verhalten (RESETN)

Nach Anlegen der Speisespannung wird intern ein Restsignal erzeugt (Anschl. 5 an UDD). Dadurch werden die I^2C-Buslogik und die Zeitsteuerung zurückgesetzt, DAVN wird LOW und DAR wird HIGH. Um extern eine Reset-Operation durchführen zu können, muß Anschluß 5 wie in der Applikationsschaltung (Bild 5) beschaltet sein, damit dort $t_r > 50$ µs eingehalten wird.

I^2C-Bus-Protokoll der Schaltung SAF 1135

S = Startbedingung, P = Stoppbedingung, A = Quittung (Acknowledge = 0)
$\overline{A}$ = keine Quittung (Acknowledge = 1)

Adresse des SAF 1135, wie SAF 1134
(1. Byte nach der Startbedingung)

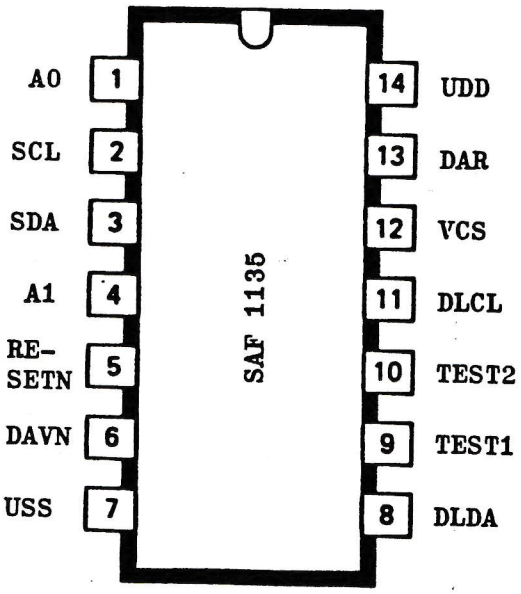
0	0	1	0	0	A1	A0	R/$\overline{W}$

Die Schaltung ist nur Slave-Sender und wird nur gelesen (R/$\overline{W}$ = 1).
Durch Beschalten der Adreß-Setzeingänge A1 und A0 muß die Schaltung auf eine von vier möglichen Adressen voreingestellt werden.
Weitere Bytes sind Datenbytes, werden mehr als fünf Datenbytes gelesen so wiederholt sich die Ausgabe des Wortes 5.

Lesen des 40 bit-Ausgangsregisters:

S	0010 0XX1	A	XXXX XXXX	A	XXXX XXXX	...	XXXX XXXX	A	XXXX XXXX	$\overline{A}$	P
	Adreßbyte		Wort 11		Wort 12		Wort 14		Wort 5		

Gehäuse und Anschlußbelegung, Gehäuse SOT-27 Epoxid-Plastik, 14 Anschlüsse



Anschluß		Signalbenennung
(1)	A0	Adreßsetzeingang A0
(4)	A1	Adreßsetzeingang A1
(2)	SCL	I^2C-Bus-Taktleitung
(3)	SDA	I^2C-Bus-Datenleitung
(5)	RESETN	Reset-Anschluß
(6)	DAVN	Data-valid-Ausgang
(7)	USS	Masse (0 V)
(8)	DLDA	Eingang für Datenzeilendaten
(11)	DLCL	Eingang für Datenzeilentakt
(9)	TEST1	Testeingang 1
(10)	TEST2	Testeingang 2
(12)	VCS	H-/V-Sync-Signaleing.(SAA 5235)
(13)	DAR	Daten-Resetausgang an SAA 5235
(14)	UDD	+5 V-Speisespannung

SAF 1135

Absolute Grenzwerte

		min.	typ.	max.	
Speisespannung	$U_{DD(14/7)}$	-0,5	-	7	V
Eingangsspannung, Anschlüsse 1,2, 3,4,5,9,10 und 12	$U_{I\ n/7}$	-0,5	-	UDD+0,5 (<7 V)	V
Eingangsspannung DLDA und DLCL	$U_{I\ 8,11/7}$	-0,5	-	12	V
Speisestrom	I_{14} , $-I_7$	-	-	20	mA
Eingangsstrom	$\pm I_{I\ n}$	-	-	10	mA
Ausgangsstrom DAVN und DAR	$\pm I_{6,13}$	-	-	10	mA
Verlustleistung pro Ausgang	P_Q	-	-	100	mW
Gesamtverlustleistung (ϑ_U = -40 ... +60 °C)	P_{tot}	-	-	400	mW
Umgebungstemperatur	ϑ_U	-40	-	+85	°C
Lagerungstemperatur	ϑ_S	-65	-	+150	°C

Kenn- und Betriebswerte bei USS = 0, UDD = 4,5 ... 5,5 V und ϑ_U = 0 ...70°C, sofern nicht anders angegeben.

		min.	typ.	max.	
Speisespannung	$U_{DD(14/7)}$	4,5	5	5,5	V
Speisestrom (U_{DD} = 5 V, ϑ_U = 25°C)	$I_{DD(14)}$	-	1	-	mA
Ruhestrom bei ϑ_U = 25°C und I_Q = 0, mit $U_{5/7}$ = 0 V, $U_{9,10/7}$ = U_{DD} weitere Eingänge an UDD oder USS	I_{DD}'	-	-	10	µA
Dateneingang DLDA (Anschl. 8)					
Eingangsspannung LOW	$U_{I\ L}$	-	-	0,9	V
Eingangsspannung HIGH	$U_{I\ H}$	2	-	12	V
Eingangskapazität	C_I	-	-	10	pF
Eingangsreststrom bei U_I = 0	$-I_8$	-	-	1	µA
Kopplungskondensator	C_K	-	1	4,7	nF
Vorbereitungszeit zur L/H-Flanke von DLCL	t_s	40	-	-	ns
Haltezeit zur L/H-Flanke von DLCL	t_h	40	-	-	ns

		min.	typ.	max.	
Takteingang DLCL (Anschl. 11)					
Taktfrequenz (ungefähr Sinus)	f_{DLCL}	-	5,0	-	MHz
Eingangssignal	$U_{i\ mm}$	1	-	-	V
Gleichspannung am Eingang	$U_{11/7}$	-	-	12	V
Kopplungskondensator	C_K		intern		
Eingangsreststrom bei U_I = 0 bzw U_I = 10 V	$\pm I_{11}$	-	-	10	µA
Sync-Eingang VCS (Anschl. 12)					
Eingangsspannung LOW	$U_{I\ L}$	-	-	0,8	V
Eingangsspannung HIGH	$U_{I\ H}$	2	-	-	V
Eingangsreststrom bei U_I = 0 bzw. $U_I = U_{DD}$ = 5,5 V	$\pm I_I$	-	-	1	µA
Eingänge TEST 1 und TEST 2					
Eingangsspannung LOW	$U_{I\ L}$	0	-	$0,2 \cdot U_{DD}$	V
Eingangsspannung HIGH	$U_{I\ H}$	$0,7 \cdot U_{DD}$	-	U_{DD}	V
Eingangsreststrom bei U_i = 0 bzw. $U_I = U_{DD}$ = 5,5 V	$\pm I_I$	-	-	1	µA
Adreßsetzeingänge A0, A1 (Anschlüsse 1 und 4)					
Eingangsspannung LOW	$U_{I\ L}$	0	-	$0,2 \cdot U_{DD}$	V
Eingangsspannung HIGH	$U_{I\ H}$	$0,7 \cdot U_{DD}$	-	U_{DD}	V
Eingangsreststrom bei U_I = 0 bzw. $U_I = U_{DD}$ = 5,5 V	$\pm I_I$	-	-	1	µA
I^2C-Bus, SDA und SCL (Anschlüsse 3 und 2)					
Eingangsspannung LOW	$U_{I\ L}$	0	-	$0,2 \cdot U_{DD}$	V
Eingangsspannung HIGH	$U_{I\ H}$	$0,7 \cdot U_{DD}$	-	U_{DD}	V
Eingangsstrom HIGH und Reststrom bei LOW	$\pm I_I$	-	-	10	µA
Eingangskapazität	C_I	-	-	10	pF
Quittung (acknowledge)					
Ausgangsstrom auf SDA (sink)	I_{ACK}	-	-	4	mA
Ausgangsspannung (I_{ACK} = 4 mA)	$U_{SDA\ L}$	-	-	0,4	V
Übergangszeit (C_L = 400 pF)	t_f	-	-	300	ns
unwirksame Störimpulsdauer	t_p	-	-	200	ns

		min.	typ.	max.	
RESETN-Eingang (Anschl. 5)					
Eingangsspannung LOW (Reset)	$U_{I\,L}$	-	-	$0,3 \cdot U_{DD}$	V
Eingangsspannung HIGH	$U_{I\,H}$	$0,9 \cdot U_{DD}$	-	-	V
Eingangsstrom HIGH	$I_{I\,H}$	-	-	15	µA
Eingangsreststrom LOW	$-I_{I\,L}$	-	-	10	µA
Anstiegszeit $t_{L/H}$ für Reset[1])	t_r	50	-	-	µs
Ausgänge DAR und DAVN (Anschl. 13 und 6)					
DAR-Ausgangsspannung LOW (I_{QL}= 1mA)	$U_{QL\,13}$	-	-	0,4	V
DAVN-Ausgangsspannung LOW bei I_{QL} = 10 mA (LED)	$U_{QL\,6}$	-	-	1	V
Ausgangsspannung HIGH ($-I_{QH}$= 400µA)	$U_{QH\,13,6}$	$U_{DD}-0,5$	-	-	V
Übergangszeiten bei C_L = 50 pF	t_r, t_f	-	-	50	ns

[1]) zwischen U_{IL} max und U_{IH} min.

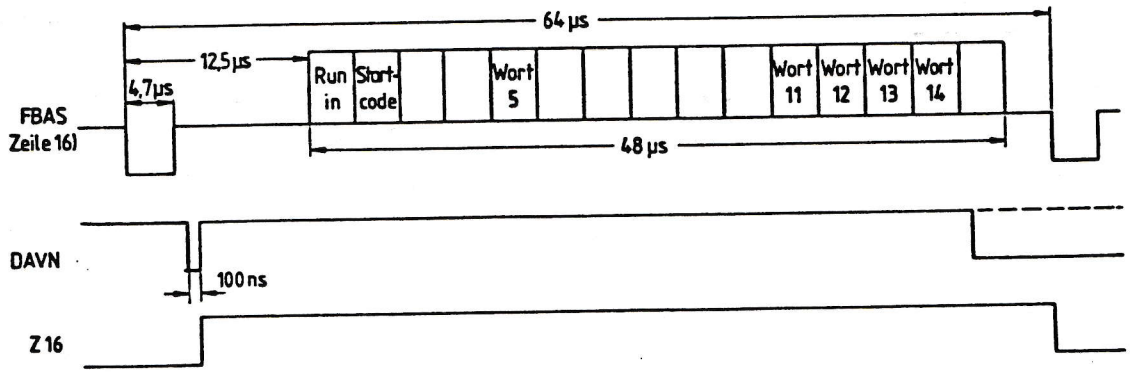


Bild 2 Datenzeile 16 und DAVN-Signal

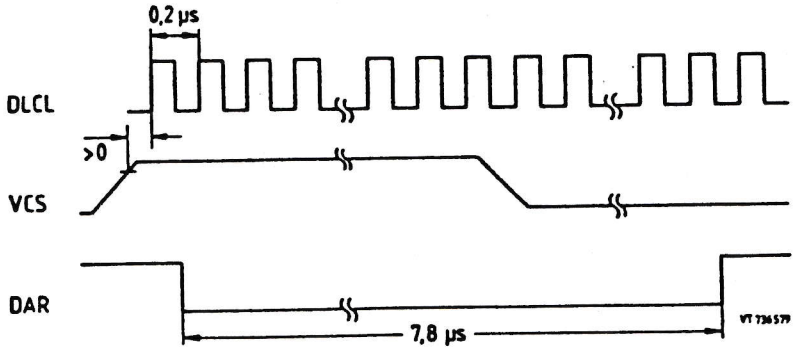


Bild 3 DAR-Impulsdiagramm (Data-Reset-Impuls für SAA 5235)

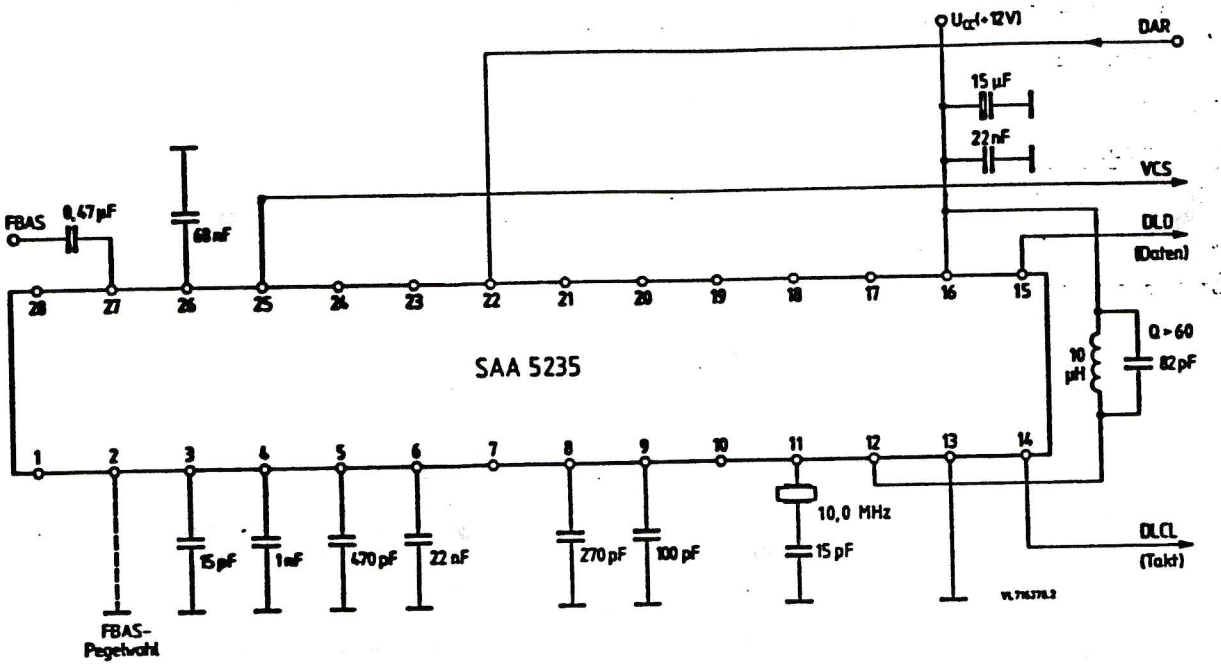


Bild 4 Datenzeilen-Empfänger: Applikation des Datenzeilen-Prozessors SAA 5235.

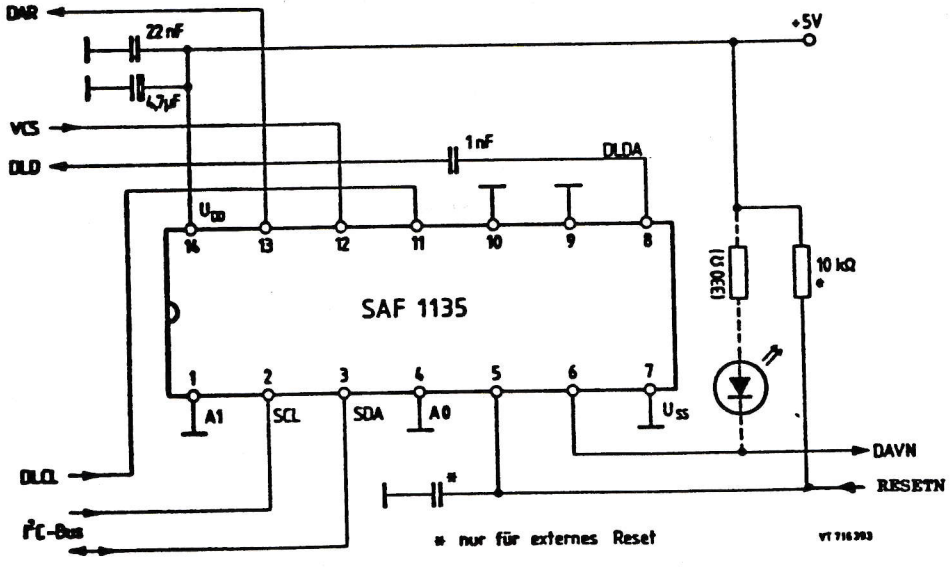


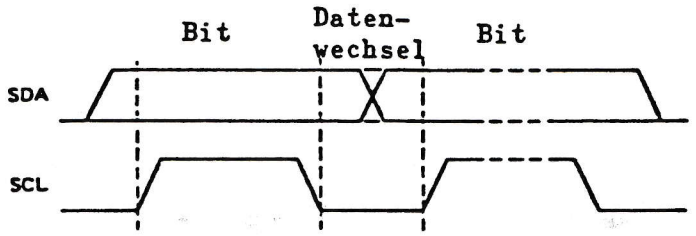
Bild 5 Datenzeilen-Empfänger: Applikation des Datenzeilen-Decoders SAF 1135.

I^2C-Bus-Schnittstelle

Der I^2C-Bus ist ein bidirektionaler Zweileiterbus, dessen Datenleitung SDA und Taktleitung SCL extern über Widerstände an U_{DD} gelegt werden. Ruhezustand ist der HIGH-Zustand, Signale sind Aktiv-LOW. Ein Datenverkehr darf erst beginnen, wenn der Bus frei ist, entsprechend ist die Startbedingung S definiert.

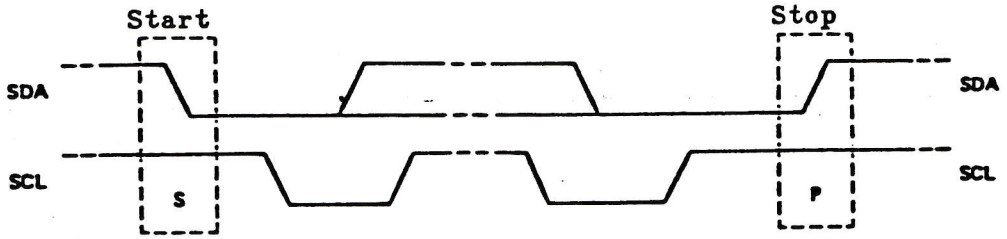
Übertragung eines Bits

Ein Datenbit auf SDA kann nur während eines Taktimpulses übertragen werden, es muß für die gesamte Taktimpulsdauer (SCL = HIGH) störungsfrei anliegen, da Änderungen Start- und Stoppbedingungen erzeugen können.



Start- und Stoppbedingungen

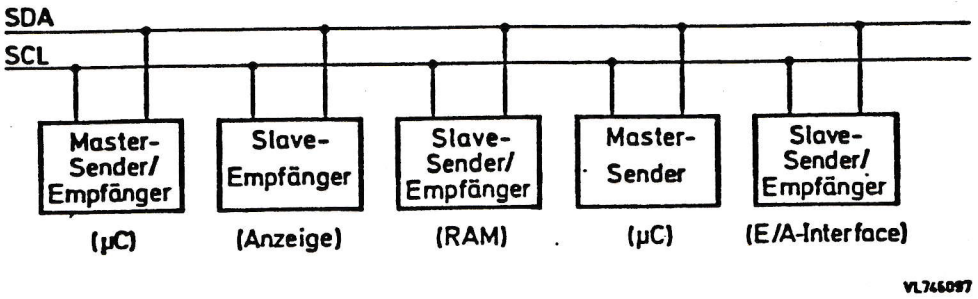
Im Ruhezustand sind SDA und SCL im HIGH-Zustand. Ein H/L-Übergang auf SDA (SCL = HIGH) erfüllt die Startbedingung S, ein L/H-Übergang auf SDA (SCL = HIGH) erfüllt die Stoppbedingung P.



Systemkonfiguration

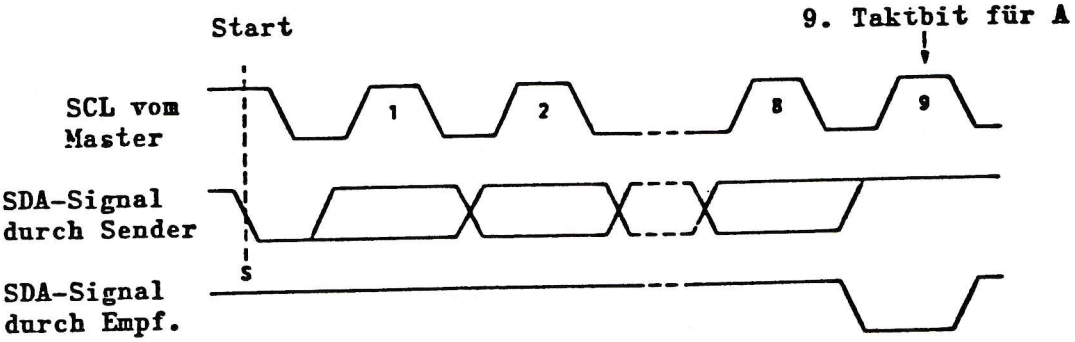
Die Datenübertragung zwischen mehreren Schaltungen mit I^2C-Bus-Schnittstelle am selben Bus kann wie folgt ablaufen. Eine Daten abgebende Schaltung ist Sender, eine Daten empfangende Schaltung ist Empfänger. Schaltungen, welche den Datenverkehr steuern sind Master und Schaltungen, welche gesteuert werden

sind Slave. In der Praxis gibt es Master-Sender, Master-Empfänger, Slave-Sender und Slave-Empfänger.



Quittierung

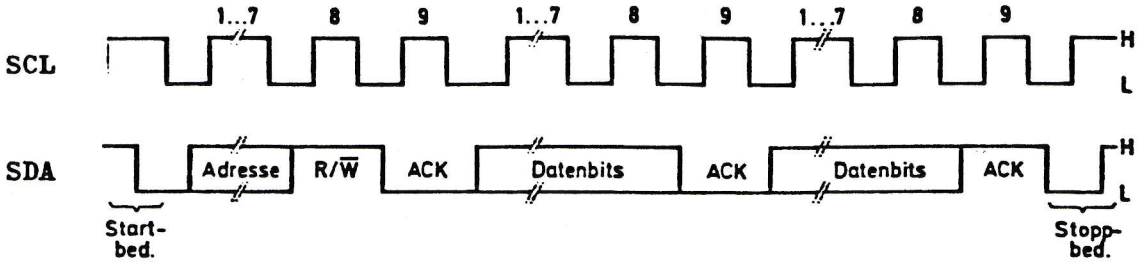
Die Anzahl der Bytes zwischen Start und Stopp ist in der Regel nicht begrenzt. Jedes Byte besteht aus acht Datenbits (Daten, Adressen, Befehle) und einem zusätzlichen Quittungsbit A (acknowledge). Zum Übertragen einer Quittung muß SDA = HIGH sein, damit der Empfänger der Daten - mindestens für die Dauer des 9. Taktimpulses SCL - durch LOW-Setzen von SDA quittieren kann. Quittieren können Slave-Empfänger und Master-Empfänger. Durch Weglassen der Quittung kann der Master-Empfänger auch das Ende einer Übertragung bestimmen.



Datenübertragung (allgemein)

Ein Master-Sender muß mit der Startbedingung und dem Adreßbyte beginnen. Das 8. Bit des Adreßbytes $R/\overline{W}$ gibt an, ob der Master-Sender im folgenden Byte Schreiben ($R/\overline{W} = 0$) oder Lesen ($R/\overline{W} = 1$) will. Vier direkt auf das Startbit S folgende Bits geben den Schaltungstyp (vom Hersteller vorgegeben) an. Die Bits A2, A1 und A0 müssen mit der Verdrahtung der Setzeingänge übereinstimmen, um eine bestimmte Schaltung zu adressieren. Bei gültiger Adressierung quittiert der Empfänger durch A. Das zweite Byte kann Daten oder weitere Adressierungen und Befehle beinhalten.

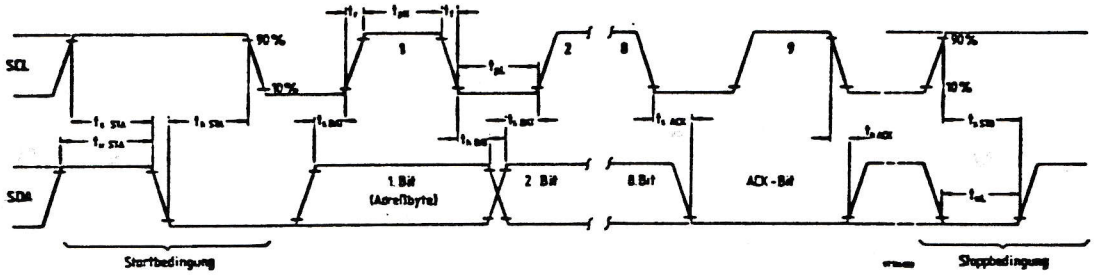
SAF 1135



Beispiel einer Übertragung (Lesen)

Zeitabläufe

Das folgende Bild zeigt die busspezifischen Zeiten für Signale auf SDA und SCL. Ergänzende Angaben finden Sie in der I^2C-Bus-Spezifikation von Valvo.



Allgemein:		min.	typ.	max.	
max. Taktfrequenz	f_{SCL}	0	-	100	kHz
Taktimpulsdauer HIGH	$t_{p\,H}$	4	-	-	µs
Taktimpulsdauer LOW	$t_{p\,L}$	4,7	-	-	µs
Übergangszeiten	t_r	-	-	1	µs
	t_f	-	-	0,3	µs
Startbedingung					
Wartezeit (SDA HIGH)	$t_{w\,STA}$	4,7	-	-	µs
Setzzeit (SCL HIGH)	$t_{s\,STA}$	4	-	-	µs
Haltezeit (SCL HIGH)	$t_{h\,STA}$	4,7	-	-	µs
Daten-Setzzeit	$t_{s\,DAT}$	0,25	-	-	µs
Daten-Haltezeit	$t_{h\,DAT}$	0	-	-	µs
Quittung-Setzzeit	$t_{s\,ACK}$		-	4	µs
Quittung-Haltezeit	$t_{h\,ACK}$	0	-	-	µs
Stoppbedingung					
Wartezeit (SDA LOW)	$t_{w\,L}$	4,7	-	-	µs
Setzzeit (SCL HIGH)	$t_{s\,STO}$	4,7	-	-	µs

VPS - Zusatzinformationen (Wörter 11-14)

DZ 16-Wort-Nr.	11								12								13								14							
DZ 16-Bit-Nr.	1							8	1							8	1							8	1							8
VPS-Bit-Nr.	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
Binärcode-Signifikanz			M				L		M		L	M				L	M					L	M	L	M						L
Reguläres Label	Adreß-bereich		Tag binär						Monat binär			Stunde binär					Minute binär							Land binär		Programm-quelle binär						
			Spezielle Systemcodes																													
System-Statuscode	A	A	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	N	N	P	.	.	.	.	P		
Leercode	A	A	0	0	0	0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	N	N	P	.	.	.	.	P		
Unterbrechungscode	A	A	0	0	0	0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	N	N	P	.	.	.	.	P		

M = MSB, L = LSB, aktuelle Codes
A = Adreßbereichscode
N = Nationalitätencode
P = Programmquellencode

VPS, erweiterte Informationen, Wort 5

Wort 5: 32 33 34 35 36 37 38 39 Bits

0 0
1 0 ---------- nicht jugendfrei
1 1
0 1 ---------- jugendfrei

0 0 ---------- 2-Kanl-Übertragung
1 1 ---------- Mono-Übertragung
0 1 ---------- Stereo-Übertragung
1 0 ---------- Stereo-Übertragung

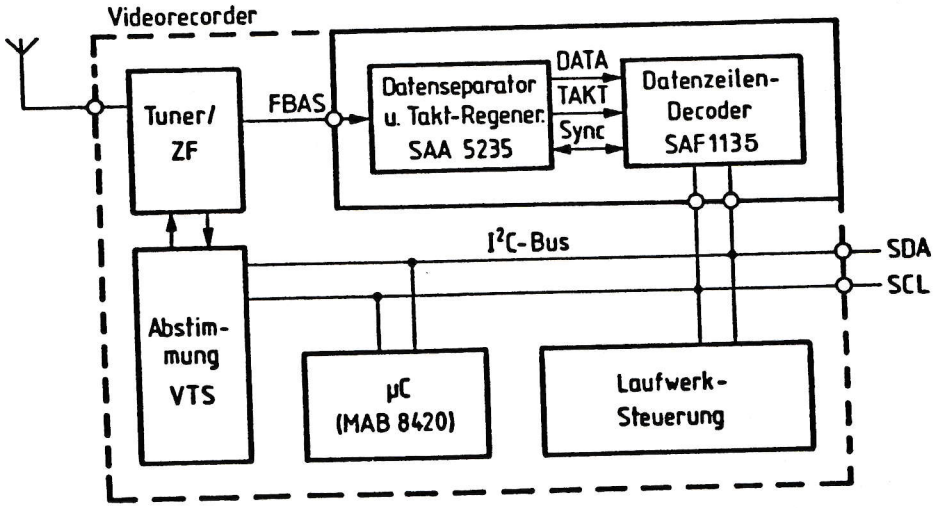
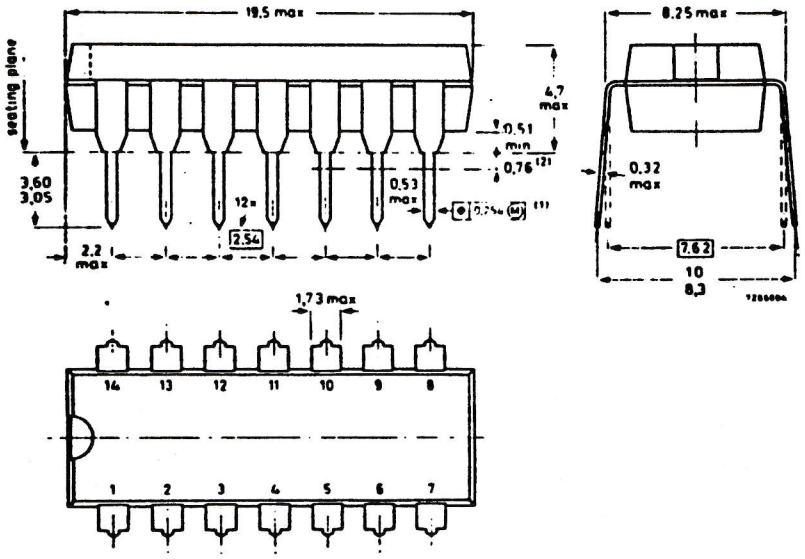


Bild 6 Datenzeilen-Empfänger im System

SAF 1135



Gehäuse
SOT-27

Abmessungen in mm

Kunststoff
dual in line
14 Anschlüsse

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten.
Die angegebenen Daten dienen allein der Produktbeschreibung und sind nicht als zugesicherte Eigenschaften im Rechtssinne aufzufassen. Etwaige Schadensersatzansprüche gegen uns – gleich aus welchem Rechtsgrund – sind ausgeschlossen, soweit uns nicht Vorsatz oder grobe Fahrlässigkeit trifft.
Es wird keine Gewähr übernommen, daß die angegebenen Schaltungen oder Verfahren frei von Schutzrechten Dritter sind.
Ein Nachdruck – auch auszugsweise – ist nur zulässig mit Zustimmung des Herausgebers und mit genauer Quellenangabe.